

# **Dynamiczna lista rozkazów procesora implementowanego w układzie FPGA**

**prof. dr hab. inż. Kazimierz Wiatr**

**Katedra Elektroniki**

**Wydział Elektrotechniki, Automatyki,  
Informatyki i Elektroniki**

**email: [wiatr@uci.agh.edu.pl](mailto:wiatr@uci.agh.edu.pl)**

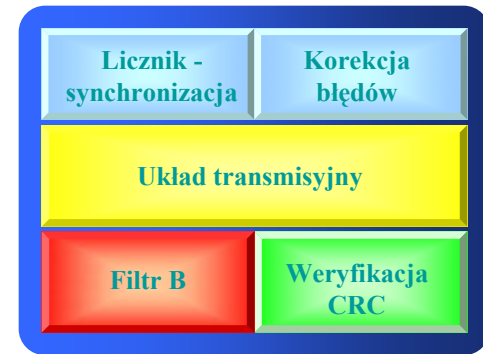
## ZAGADNIENIA

- **Cel**
- **Rekonfigurowalne układy PLD**
- **Koprocesor reprogramowalny**
- **Opracowany procesor**
- **Interface użytkownika**
- **Wnioski**

# Rekonfiguracja częściowa układu programowalnego

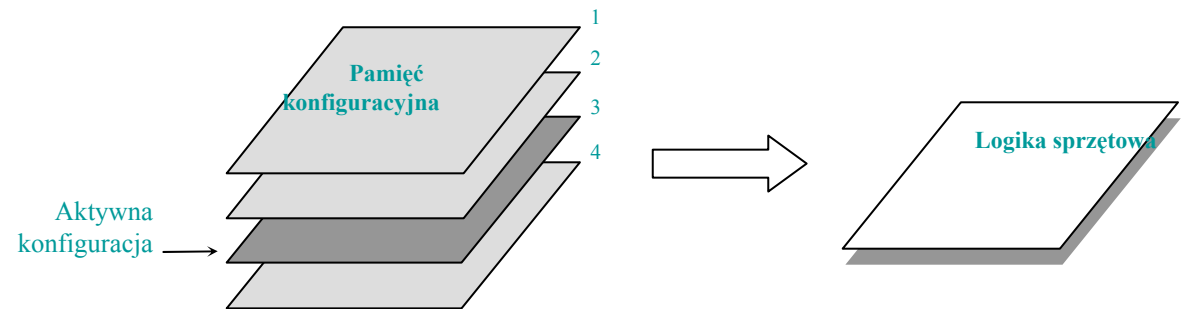


Przed rekonfiguracją

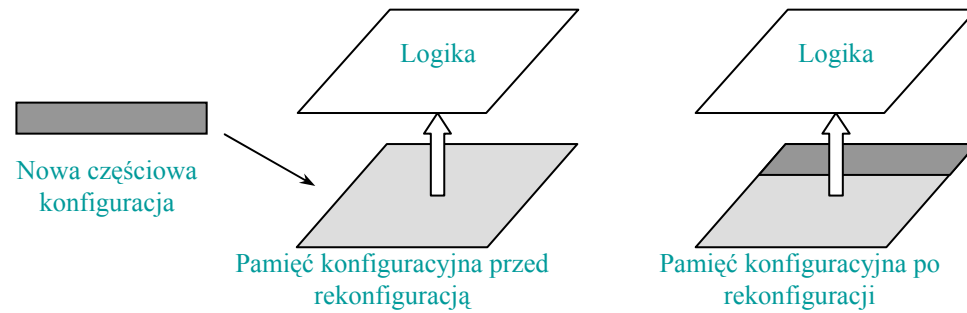


Po rekonfiguracji

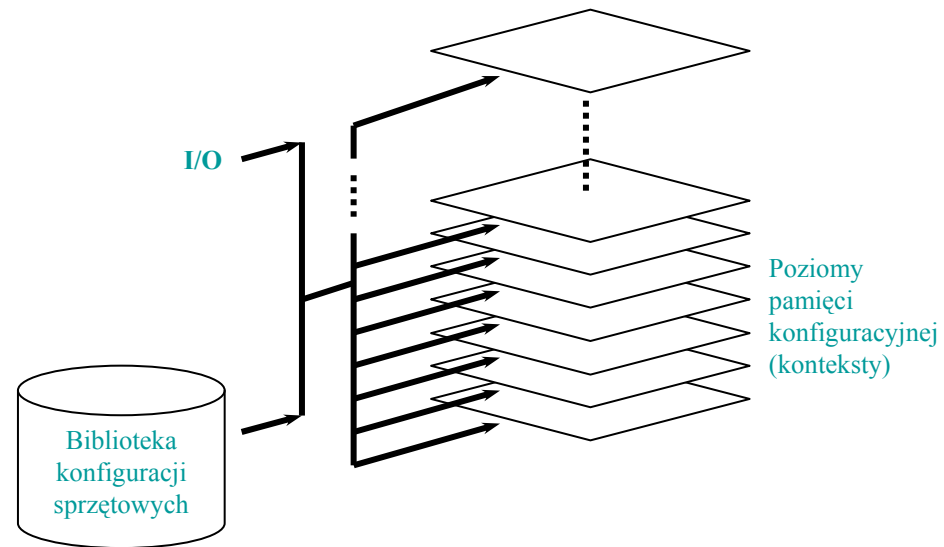
# Struktura cztero-kontekstowego modelu FPGA



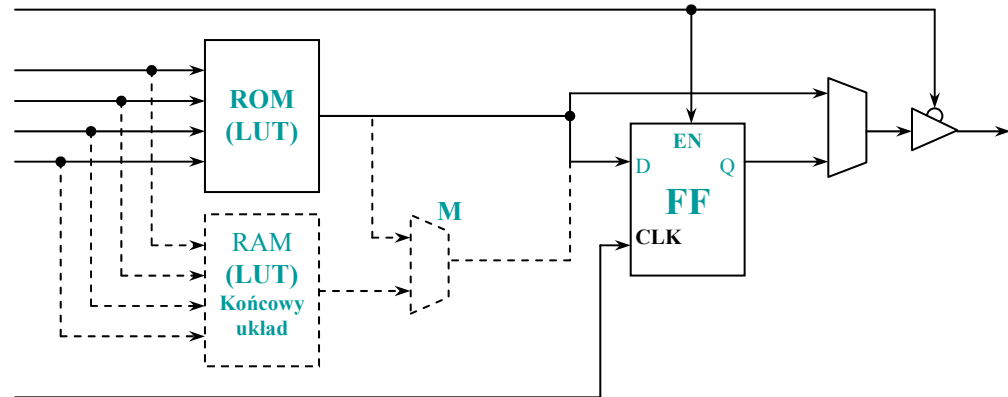
# Idea rekonfiguracji częściowej



# Struktura pamięci konfiguracyjnej w multikontekstowym modelu FPGA

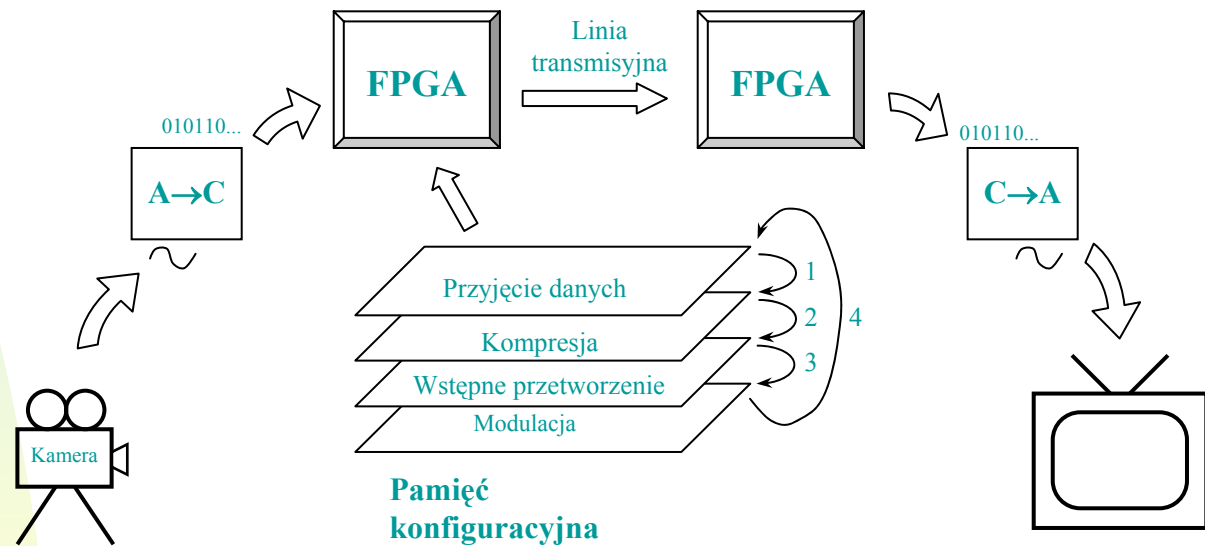


# Architektura komórki logicznej typu *Context Switching*

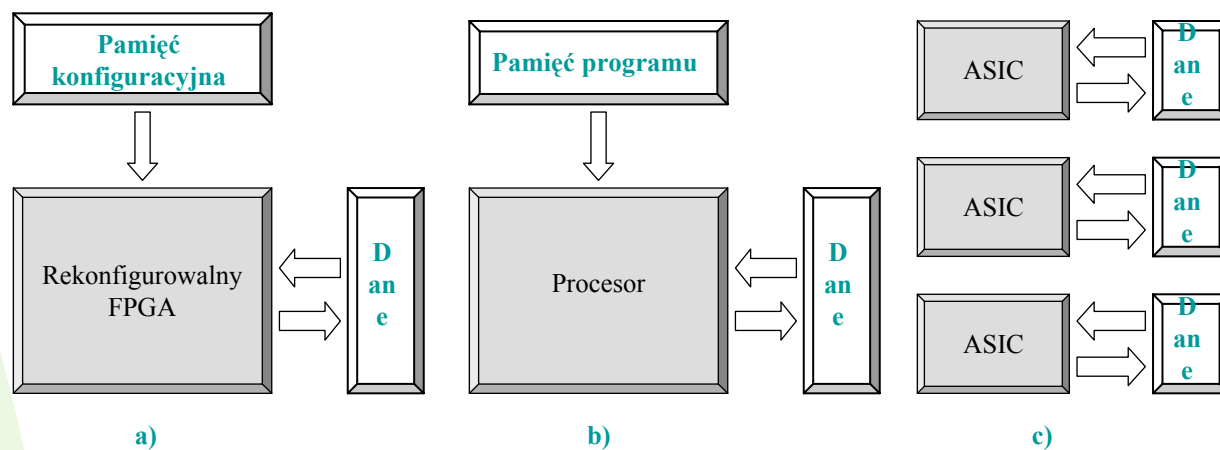




# System z wielokrotnym wykorzystaniem do obliczeń jednego układu FPGA



# Struktura różnych architektur układów obliczeniowych

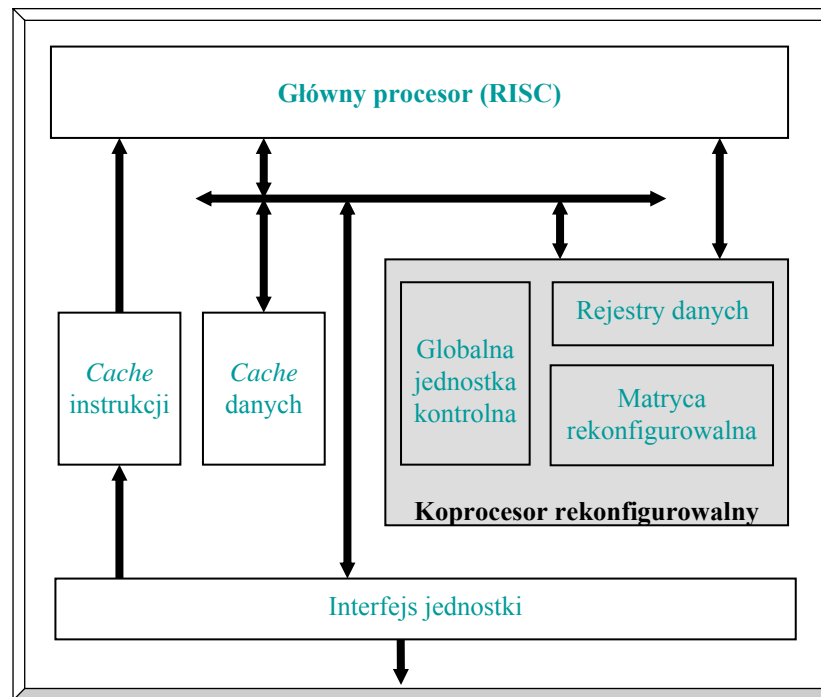


a) Układ rekonfigurowalny (FCCM)

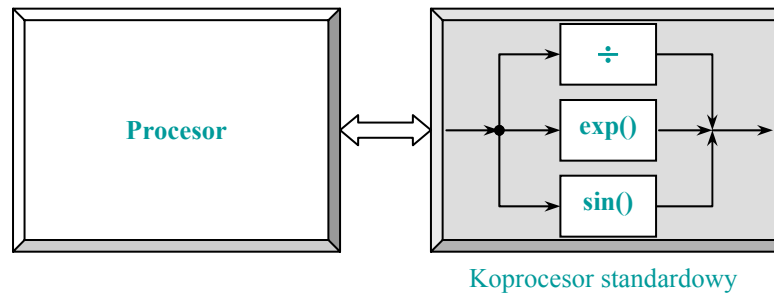
b) Procesor ogólnego przeznaczenia GPP

c) Układy ASIC

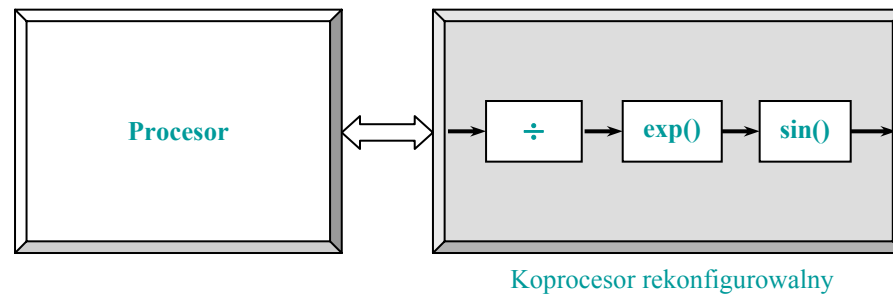
# Mikroprocesor z rekonfigurowalnym koprocesorem



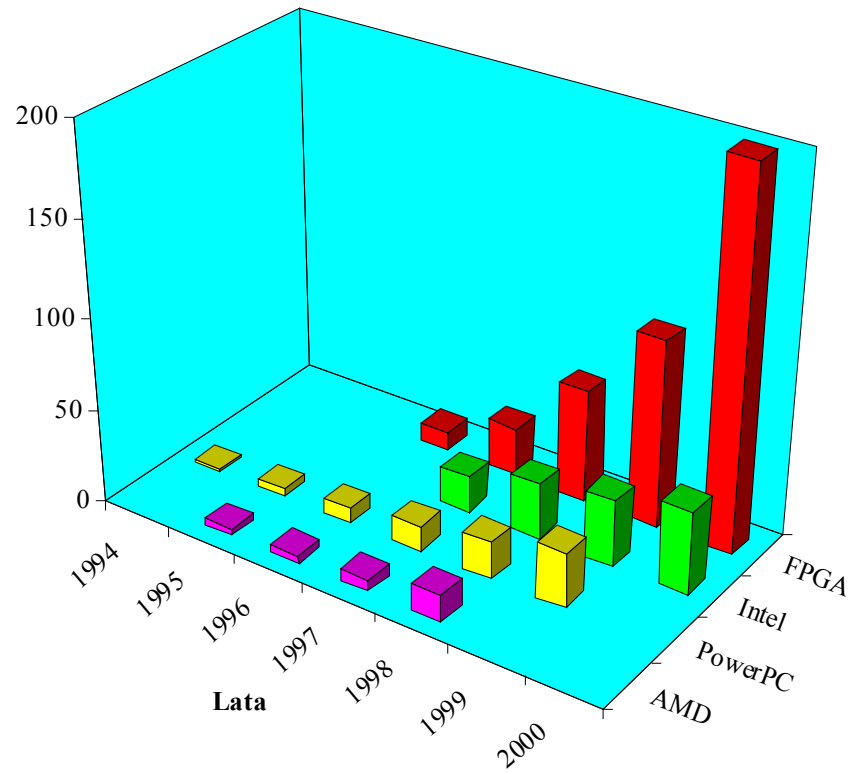
# Realizacja obliczeń w systemie tradycyjnym



# Realizacja obliczeń w systemie rekonfigurowalnym



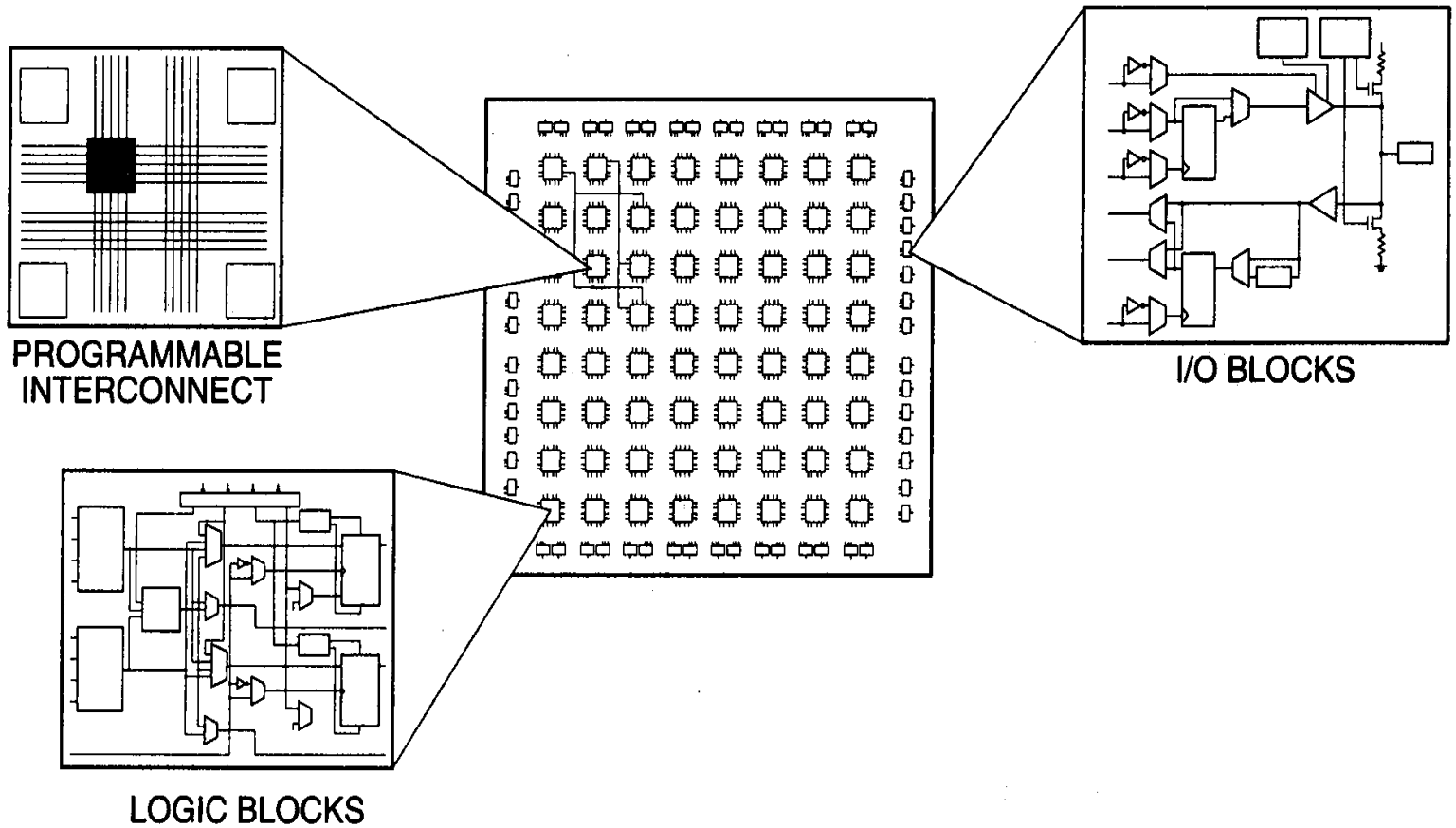
# Wzrost liczby tranzystorów w układach różnego typu



## Układy programowalne PLD

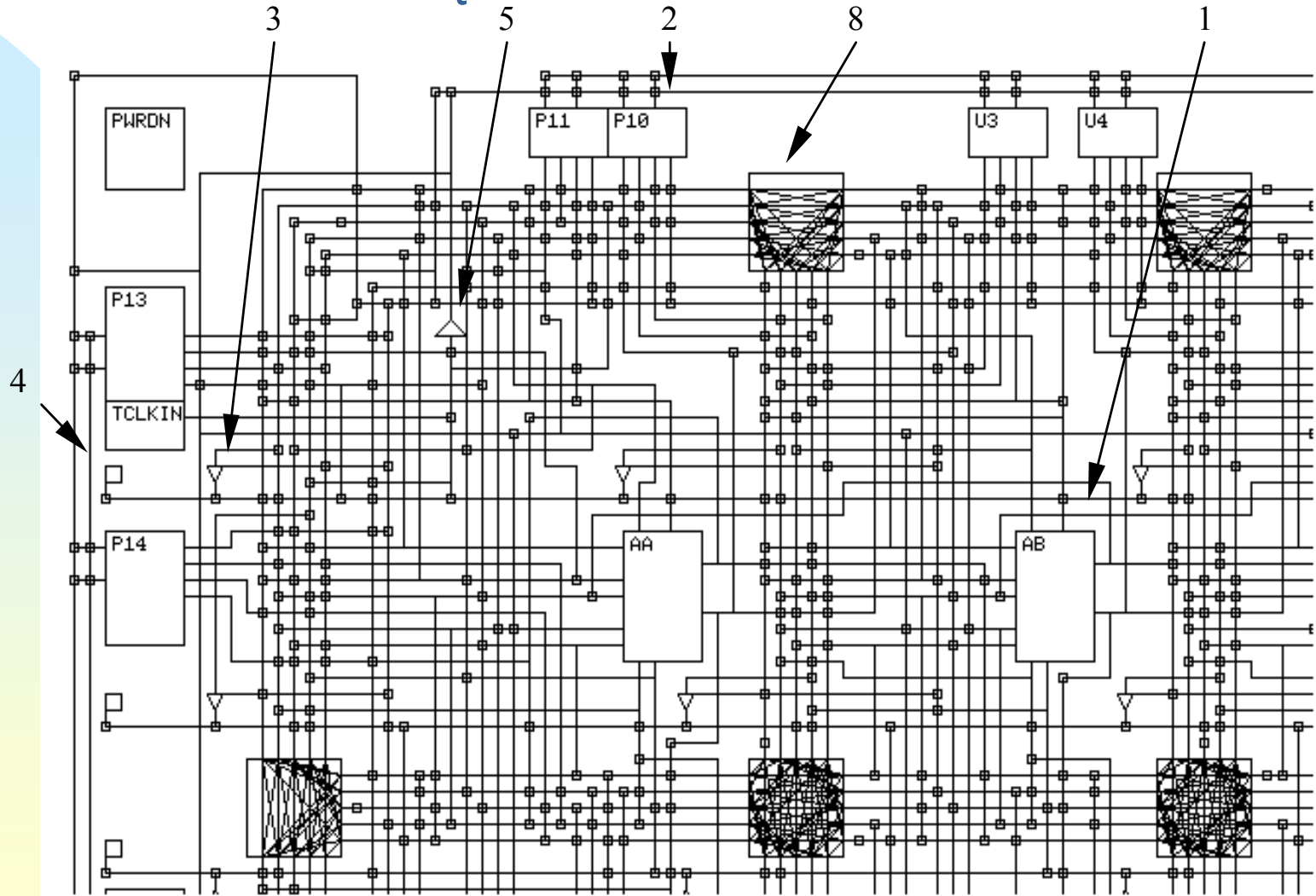
| <b>RODZAJ</b>      | <b>FIRMA</b>  | <b>BRAMKI</b>     | <b>CLB</b>   | <b>I/O</b>  | <b>REJESTRY</b> | <b>KONFIG.</b>     |
|--------------------|---------------|-------------------|--------------|-------------|-----------------|--------------------|
| ■ <b>Max5000</b>   | <b>Altera</b> | <b>3.800</b>      | <b>192</b>   | <b>64</b>   | <b>192</b>      | <b>EPROM</b>       |
| ■ <b>Max7000</b>   | <b>Altera</b> | <b>5.000</b>      | <b>256</b>   | <b>160</b>  | <b>256</b>      | <b>EEPROM</b>      |
| ■ <b>Flex8000</b>  | <b>Altera</b> | <b>24.000</b>     | <b>1296</b>  | <b>204</b>  | <b>1500</b>     | <b>SRAM</b>        |
| ■ <b>ACT2</b>      | <b>Actel</b>  | <b>20.000</b>     |              | <b>140</b>  | <b>998</b>      | <b>OTP</b>         |
| ■ <b>Mach400</b>   | <b>AMD</b>    | <b>10.000</b>     | <b>256</b>   | <b>146</b>  | <b>384</b>      | <b>ISP(EEPROM)</b> |
| ■ <b>ATV5100</b>   | <b>Atmel</b>  | <b>5.000</b>      |              | <b>60</b>   | <b>128</b>      | <b>EPROM</b>       |
| ■ <b>ATV6010</b>   | <b>Atmel</b>  | <b>10.000</b>     | <b>6400</b>  | <b>204</b>  | <b>6400</b>     | <b>EEPROM</b>      |
| ■ <b>XC4000</b>    | <b>Xilinx</b> | <b>250.000</b>    | <b>8464</b>  | <b>448</b>  | <b>18400</b>    | <b>SRAM</b>        |
| ■ <b>XC8100</b>    | <b>Xilinx</b> | <b>45.000</b>     | <b>6144</b>  | <b>320</b>  | <b>3072</b>     | <b>OTP</b>         |
| ■ <b>XC7300</b>    | <b>Xilinx</b> |                   | <b>144</b>   | <b>156</b>  | <b>276</b>      | <b>EPROM</b>       |
| ■ <b>XC9500</b>    | <b>Xilinx</b> | <b>12.800</b>     | <b>576</b>   | <b>232</b>  | <b>576</b>      | <b>ISP(EEPROM)</b> |
| ■ <b>VIRTEX</b>    | <b>Xilinx</b> | <b>1.124.022</b>  | <b>6144</b>  | <b>512</b>  | <b>24576</b>    | <b>SRAM (2,5V)</b> |
| ■ <b>VIRTEX II</b> | <b>Xilinx</b> | <b>10.000.000</b> | <b>15360</b> | <b>1108</b> | <b>61440</b>    | <b>SRAM (2,5V)</b> |

# Układy FPGA serii XC4000

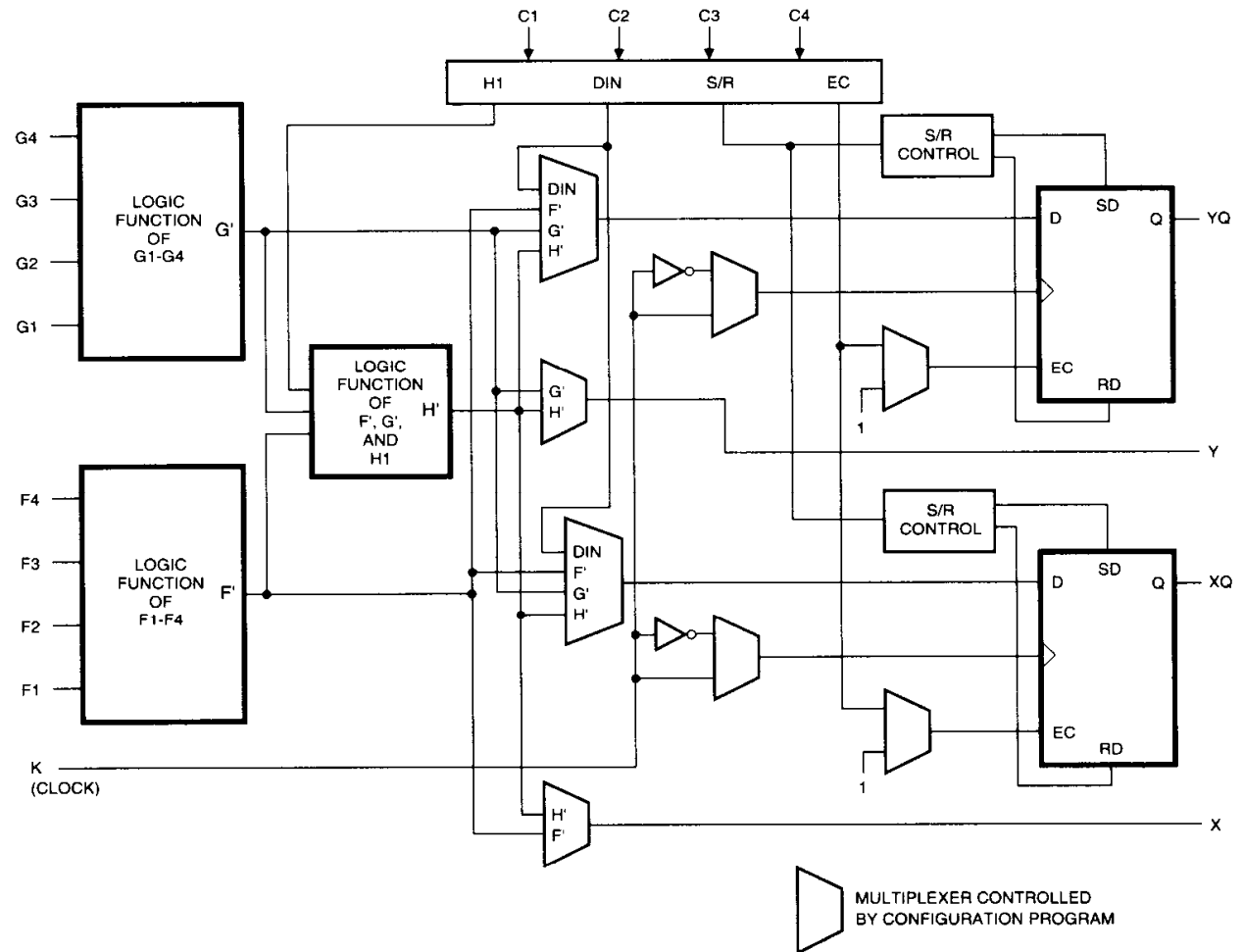




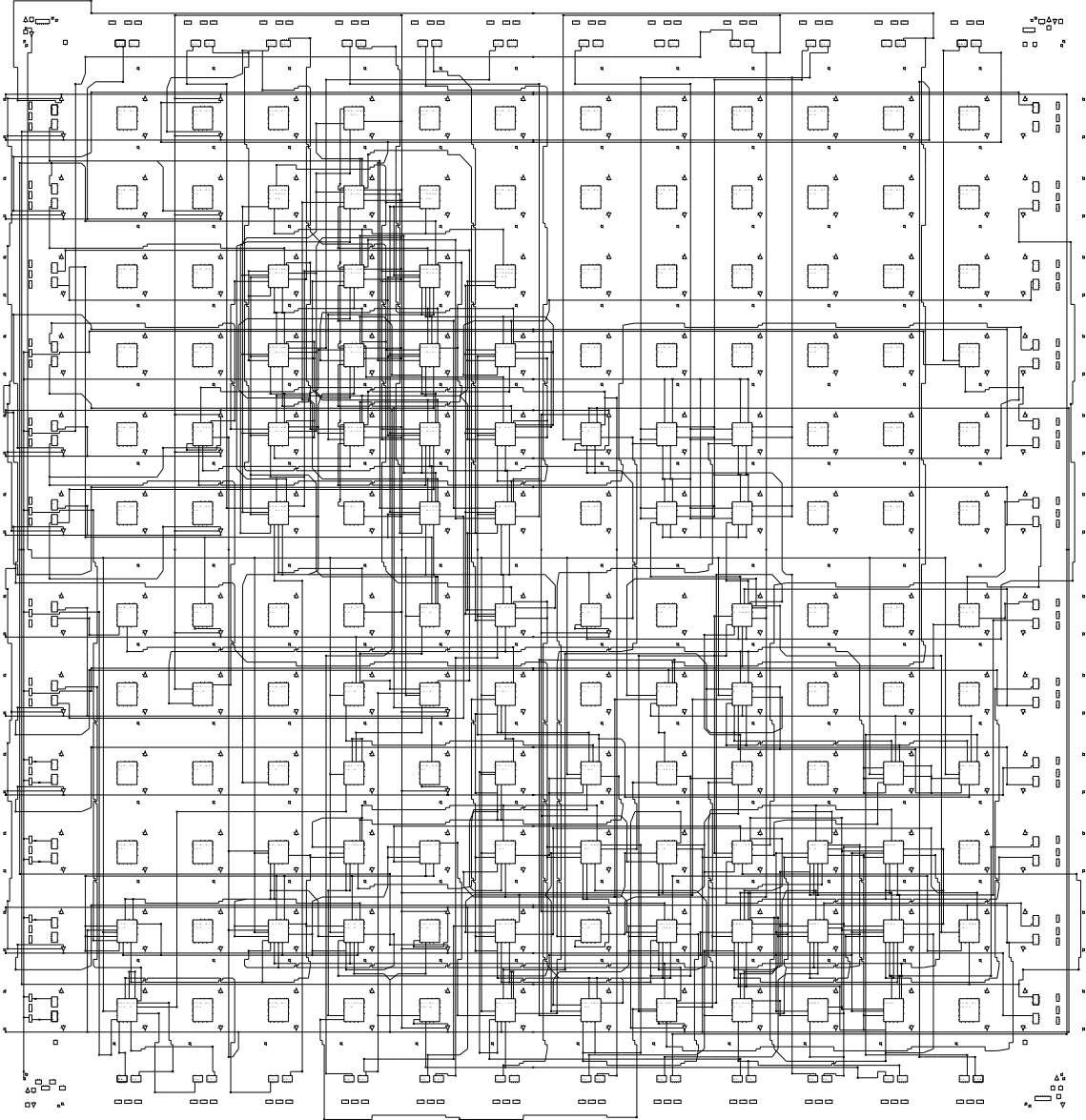
# Połączenia w układach FPGA



# Struktura bloku CLB w układach XC4000



# Procesor logiczny w XC4004-5PG120



# Raport z implementacji procesora LUT

XMAKE: begin command 'sdt2xnf -x -p4005PC84-5 '  
SDT2XNF Ver. 4.20

(c) Copyright 1987-1992 Xilinx Inc. All rights reserved

ppr [1.30] -- Xilinx Automatic CAE Tools

+ Parameters

design = xi.xnf  
parttype = 4005PC84-5  
justflatten = FALSE  
estimate = FALSE  
logfile = ppr.log

+ Additional Specified or Non-Default Parameters

seed = 848495022

Speedfile version 9, revision 8.

+ Converting XNF to MXN @ 13:03:45 [00:00:13]

Preliminary evaluation of your selected part, 4005PC84:

89% utilization of io pins. ( 85 of 95)  
40% utilization of function generators. (116 of 288)  
37% utilization of clb flip-flops. (106 of 288)  
25% utilization of bus resources. ( 12 of 48)

This includes 50 function generators and 50 flip-flops  
inside hard macros,

which cannot be used for other purposes.

This includes 4 CLB flip-flops that must be left  
unoccupied, because 4 nets

source an odd number of DFF C pins.

The preliminary checks say the design will fit. PPR will  
proceed to the next stage.

You selected what appears to be the best available part.

Resource\_usage: Pips 1442, Feeds 38, Locals 502, Doubles  
213, Longs 115, Globals 9, Dec\_lines 2

# of unrouted connections: 0.

+ Generating .LCA File @ 13:05:45 [00:02:13]

Begin work on a 19.8ns path with 1 pins. (slack 13.5ns).

Timing analysis summary

|            | Deadline | Actual(*) | label: [qualifier] |
|------------|----------|-----------|--------------------|
| pad to pad | <auto>   | 56.2ns    | <default>          |

Selector net: Default

|                |        |        |                          |
|----------------|--------|--------|--------------------------|
| clock to setup | <auto> | 40.5ns | (rising edges)           |
| clock to setup | <auto> | 8.5ns  | (falling edges)          |
| clock to setup | <auto> | 7.9ns  | (rising to falling edge) |
| pad to setup   | <auto> | 42.0ns |                          |

**clock to pad <auto> 64.8ns**

Selector net: ODE/CLK\_OUT

|              |        |        |          |
|--------------|--------|--------|----------|
| clock to pad | 33.3ns | 19.8ns | TS1: DO* |
|--------------|--------|--------|----------|

Selector net: PR/N\_ADR\_P

|                |        |        |                   |
|----------------|--------|--------|-------------------|
| clock to setup | 33.3ns | 19.1ns | TS2:              |
| clock to setup | 33.3ns | 9.1ns  | TS2: (from other) |
| clock to pad   | <auto> | 19.0ns |                   |

+ Making Report File @ 13:07:52 [00:04:20]

- ppr @ 1996/11/20 13:07:56 [00:04:24]

= --- @ 1996/11/20 00:04:14 [00:04:14]

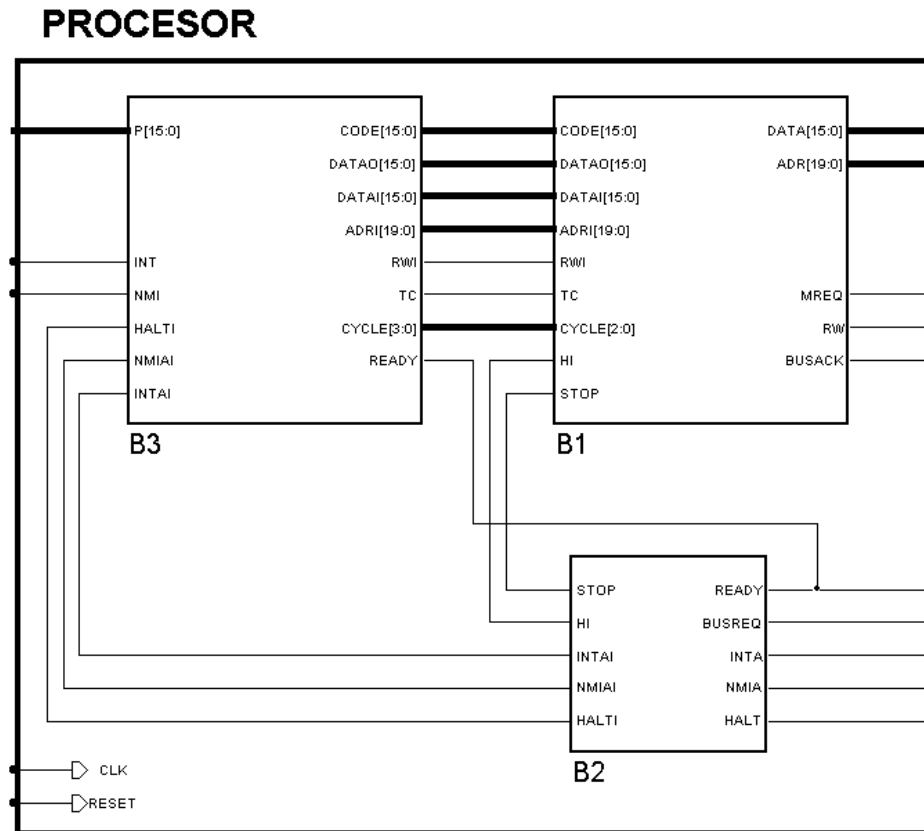
XMAKE: begin command 'makebits -r2 -s0 xi.lca'  
Xilinx LCA MAKEBITS Ver. 4.31 ended normally

# Opis opracowanego procesora

- architektura umożliwiająca definiowanie przez użytkownika własnych rozkazów;
- 16-to bitowa magistrala danych;
- 20-to bitowa magistrala adresowa;
- 16-to bitowy port we/wy;
- możliwość bezpośredniego adresowania 1 MB pamięci;
- możliwość wykonywania operacji na bitach;
- 108 rozkazów, które można podzielić na grupy:
  - przesłań
  - arytmetyczne
  - logiczne
  - bitowe
  - skoków
  - sterujące
  - wejścia-wyjścia
  - użytkownika
- cztery sposoby adresowania pamięci:
  - natychmiastowe
  - bezpośrednio
  - rejestrowe
  - rejestrowe pośrednie
- dwie linie przerwań;
- osiem 16-to bitowych rejestrów danych oraz akumulator;
- cztery 20-to bitowe rejestry adresowe;
- 16-to bitowy rejestr statusowy w którym bity od 9 do 15 są wolne, tzn. mogą być użyte przez użytkownika

# Procesor funkcjonalnie składa się z trzech głównych bloków:

- B1 - blok sterujący magistralą adresową, danych oraz sygnałami zapisu/odczytu;
- B2 - blok testujący zewnętrzne linie sterujące;
- B3 - blok dekodujący i wykonujący rozkazy.



# Magistrale i rejestry

| Znaczenie                              | Nazwa   | Kierunek        |
|--|---------|-----------------|
| magistrala danych                      | D0-D15  | wejście-wyjście |
| magistrala adresowa                    | A0-A19  | wejście         |
| port danych                            | P0-P15  | wejście-wyjście |
| żądanie dostępu do pamięci             | !MREQ   | wyjście         |
| odczyt / zapis pamięci                 | R!/W    | wyjście         |
| zatrzymanie procesora                  | !HALT   | wyjście         |
| wydłużanie cyklu procesora             | READY   | wejście         |
| przerwanie maskowalne                  | !INT    | wejście         |
| przerwanie niemaskowalne               | !NMI    | wejście         |
| akceptacja przerwania NMI              | !NMIA   | wyjście         |
| akceptacja przerwania INT              | !INTA   | wyjście         |
| zerowanie procesora                    | !RESET  | wejście         |
| żądanie magistrali                     | !BUSREQ | wejście         |
| potwierdzenie<br>zwolnienia magistrali | !BUSACK | wyjście         |
| zegar                                  | CLK     | wejście         |

# Rejestry procesora

| Nazwa                  | Mnemonik | Liczba bitów |
|------------------------|----------|--------------|
| akumulator             | A        | 16           |
| rejestry danych        | D0 - D7  | 16           |
| rejestry adresowe      | A0 - A3  | 20           |
| licznik programu       | PC       | 20           |
| wskaźnik stosu         | SP       | 20           |
| rejestr statusowy      | SR       | 16           |
| rejestr kierunku portu | PD       | 16           |



# Przykładowa implementacja

- W procesorze tym zaimplementowano następujące rozkazy:

|         |           |           |          |
|---------|-----------|-----------|----------|
| LD A,nn | LD A,(ss) | LD (ss),A | LD r,A   |
| LD r,r  | LD ra,ss  | LD ra,A   | PUSH A   |
| POP A   | PUSH SR   | ADC nn    | ADC (ss) |
| SBC nn  | SBC r     | ROR A     | SLA A    |
| SRA A   | AND nn    | XOR nn    | NOT A    |
| BIT b,A | SET b,A   | NEG b,A   | SET C    |
| NEG C   | SET b,SR  | NEG b,SR  | JP ss    |
| JP_C ss | JP_NC ss  | JR_Z,e    | CALL ss  |
| RET     | RETI      | RETN      | NOP      |
| HALT    | EI        | DI        | LD A,P.  |
| LD P,A  | LD PD,A   |           |          |

## ■ Report Map

- Xilinx Mapping Report File for Design "procesor"
- Copyright (c) 1995-1998 Xilinx, Inc. All rights reserved.

### ■ Design Information

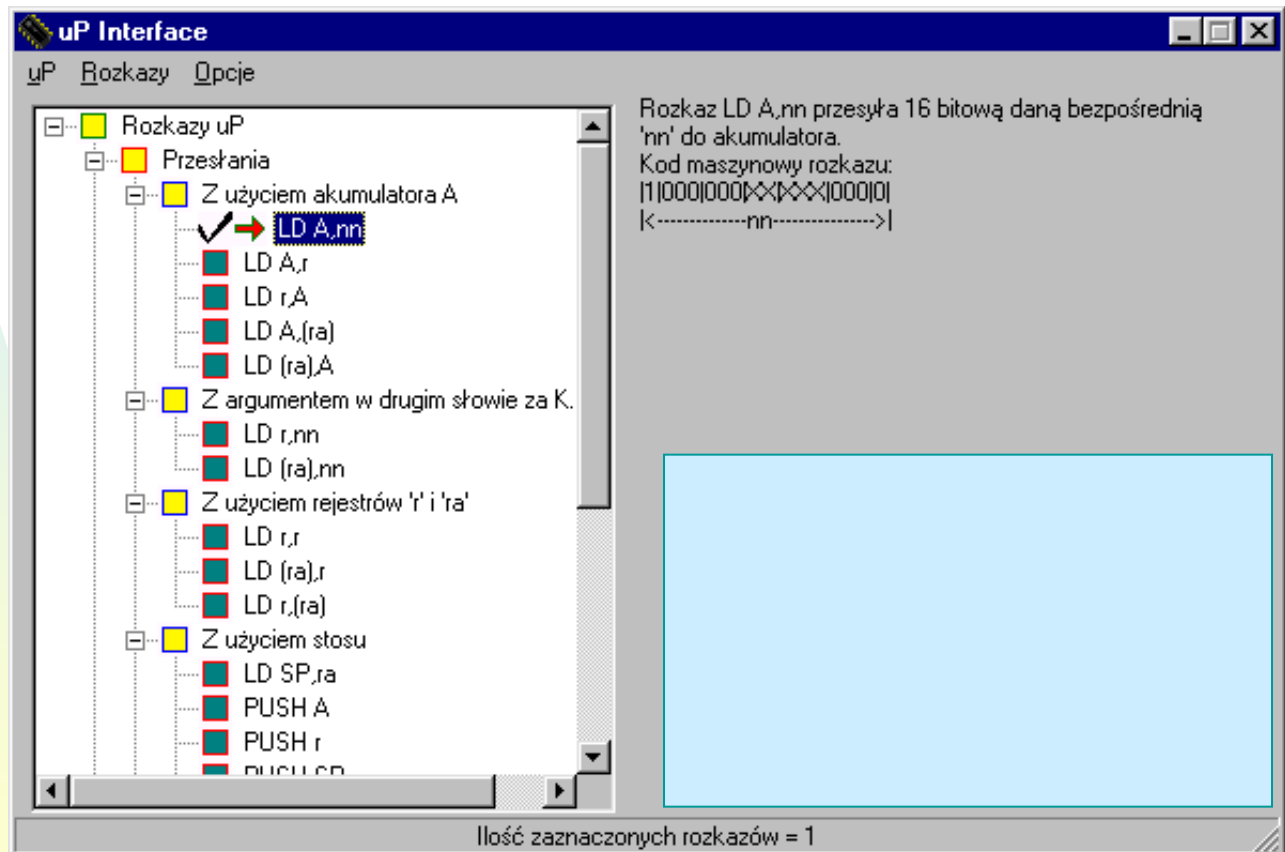
- Command Line : map -p xc4020xl-09-ht144 -o map.ncd procesor.ngd  
procesor.pcf
- Target Device : x4020xl
- Target Package : ht144
- Target Speed : -09
- Mapper Version : xc4000xl -- M1.5.25
- Mapped Date : Fri Apr 02 04:01:37 1999

### ■ Design Summary

- Number of errors: 0
- Number of warnings: 0
- Number of CLBs: 784 out of 784 100%
- CLB Flip Flops: 111
- CLB Latches: 140
- 4 input LUTs: 1355 (3 used as route-throughs)
- 3 input LUTs: 276 (30 used as route-throughs)
- Number of bonded IOBs: 64 out of 113 56%
- IOB Flops: 38
- IOB Latches: 1
- Number of clock IOB pads: 1 out of 12 8%
- Number of BUFGLSs: 8 out of 8 100%
- 6 unrelated functions packed into 6 CLBs.  
(Less than 1% of the CLBs used are affected.)
- Total equivalent gate count for design: 10817
- Additional JTAG gate count for IOBs: 3072

- **Report Timing**
- Xilinx TRACE, Version M1.5.25
- Copyright (c) 1995-1998 Xilinx, Inc. All rights reserved.
- Design file: procesor.ncd
- Physical constraint file: procesor.pcf
- Device,speed: xc4020xl,-09 (x1\_0.45 1.24 PRELIMINARY)
- Report level: error report, limited to 3 items per constraint
- -----
- --WARNING:bastw:170 - No timing constraints found, doing default enumeration.
- =====
- ==Timing constraint: Default period analysis
- 373364 items analyzed, 0 timing errors detected.
- Minimum period is 44.681ns.
- =====
- ==Timing constraint: Default net enumeration
- 1556 items analyzed, 0 timing errors detected.
- Maximum net delay is 21.216ns.
- -----
- --All constraints were met.
- Timing summary:
- 
- Timing errors: 0 Score: 0
- Constraints cover 373364 paths, 1556 nets, and 5614 connections (100.0% coverage)
- Design statistics:
- Minimum period: 44.681ns (Maximum frequency: 22.380MHz)
- Maximum net delay: 21.216ns
- Analysis completed Fri Apr 02 04:06:23 1999

# Interface użytkownika


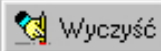



## Dodawanie rozkazu

**Mnemonic**

Podaj mnemonic rozkazu


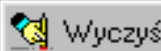

OUT

 OK  Wyczyść  Anuluj

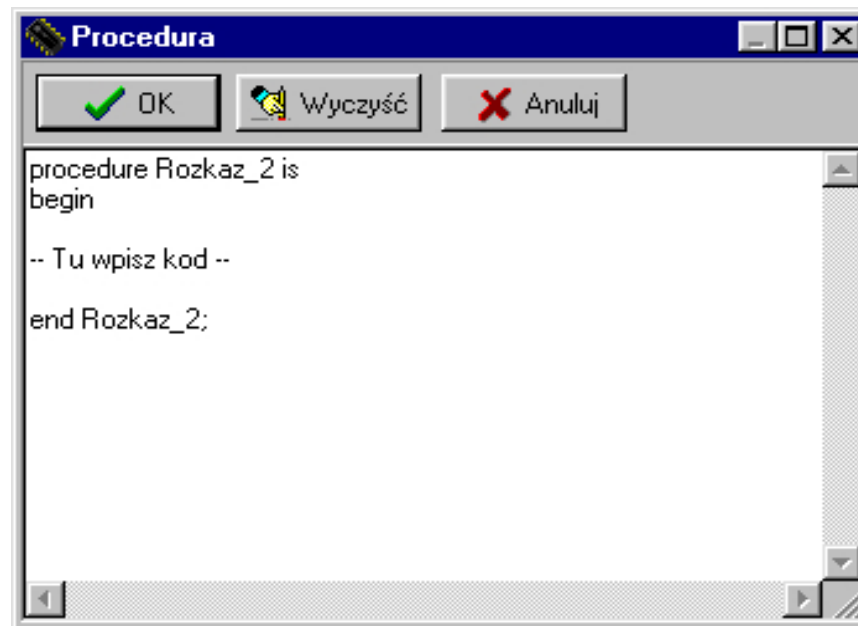
**Kod maszynowy**

Podaj kod maszynowy rozkazu

0 111 011 ra rrr 0011

 OK  Wyczyść  Anuluj

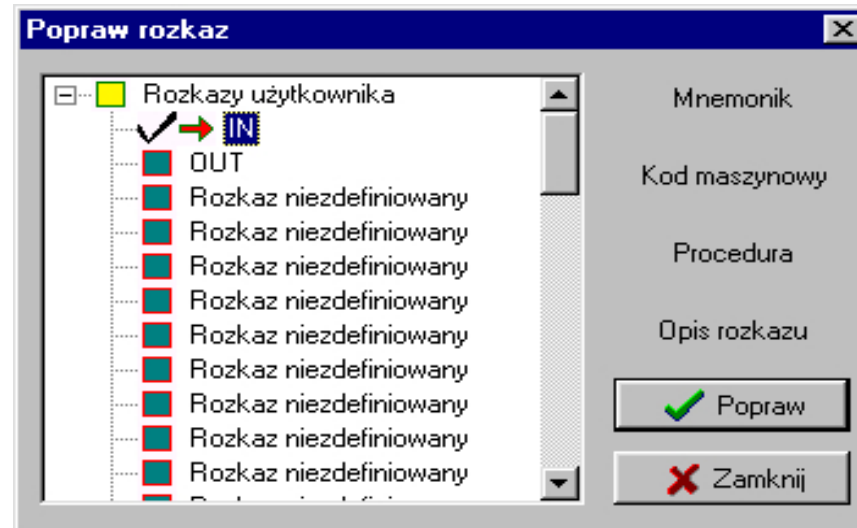
## Opis rozkazu w kodzie języka VHDL

A screenshot of a dialog box titled "Procedura" (Procedure) in a software application. The dialog box has a standard Windows-style title bar with minimize, maximize, and close buttons. Below the title bar, there are three buttons: "OK" with a green checkmark icon, "Wyczyść" (Clear) with a trash can icon, and "Anuluj" (Cancel) with a red X icon. The main area of the dialog box is a text field containing the following VHDL code:

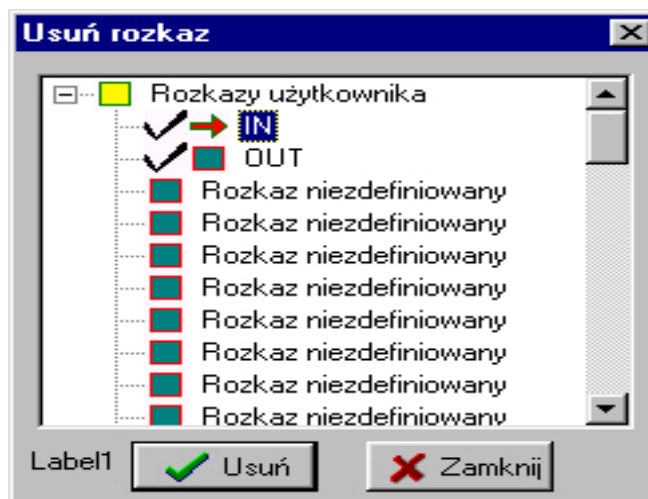
```
procedure Rozkaz_2 is
begin
-- Tu wpisz kod --
end Rozkaz_2;
```

The text field has a vertical scrollbar on the right side and a horizontal scrollbar at the bottom. The background of the slide features a large, curved gradient shape transitioning from light blue at the top to light yellow at the bottom.

## Poprawianie rozkazu

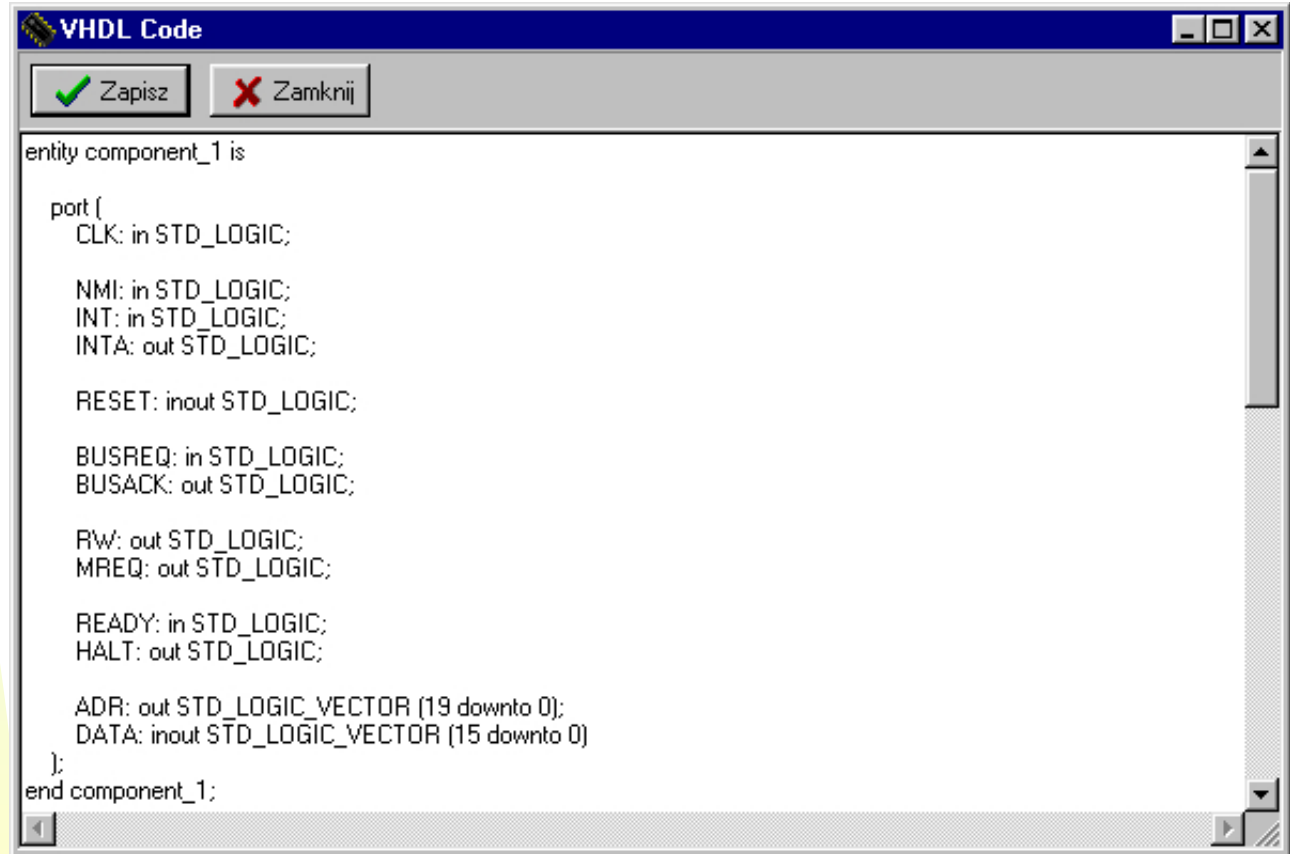


## Usuwanie rozkazu





## Tworzenie pliku wynikowego



The image shows a screenshot of a VHDL Code editor window. The window title is "VHDL Code". At the top, there are two buttons: "Zapisz" (Save) with a green checkmark icon and "Zamknij" (Close) with a red X icon. The main area of the window contains the following VHDL code:

```
entity component_1 is
  port (
    CLK: in STD_LOGIC;

    NMI: in STD_LOGIC;
    INT: in STD_LOGIC;
    INTA: out STD_LOGIC;

    RESET: inout STD_LOGIC;

    BUSREQ: in STD_LOGIC;
    BUSACK: out STD_LOGIC;

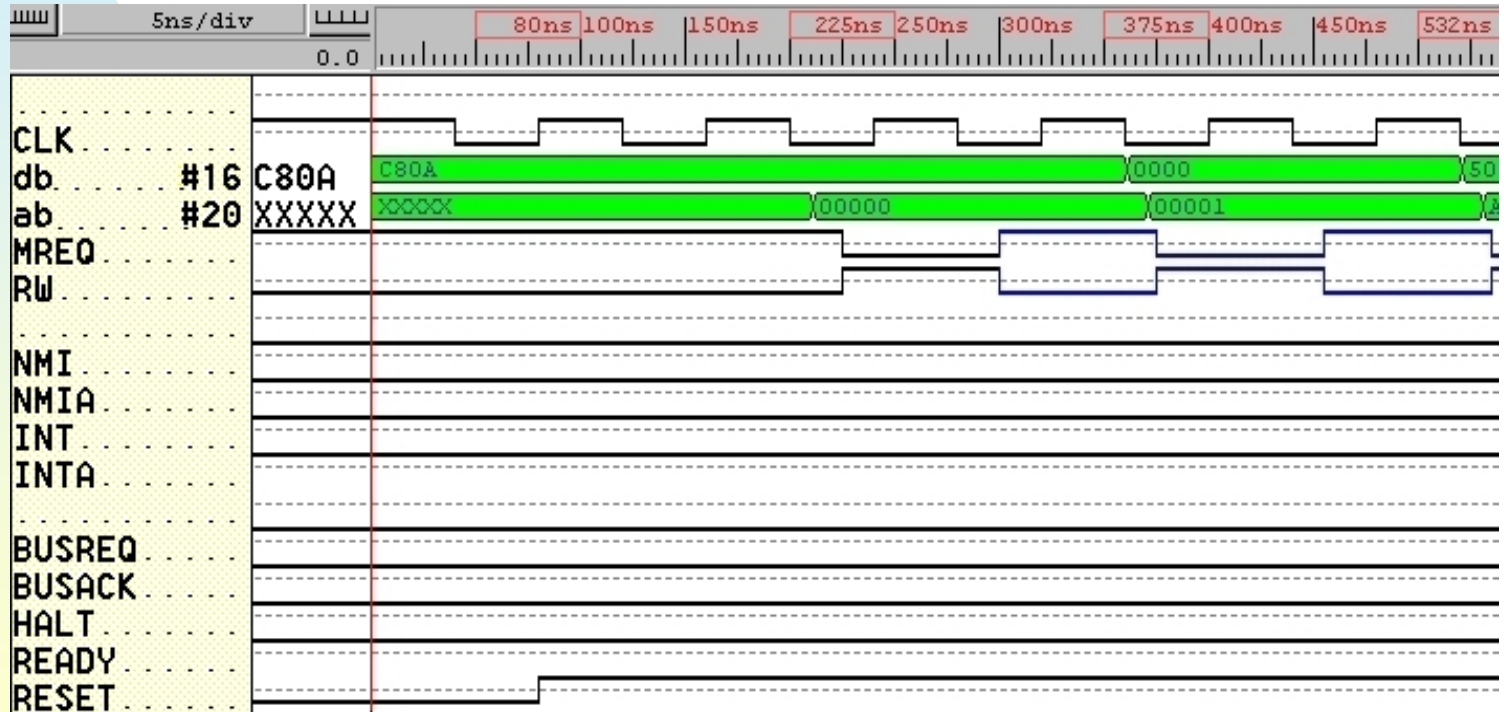
    RW: out STD_LOGIC;
    MREQ: out STD_LOGIC;

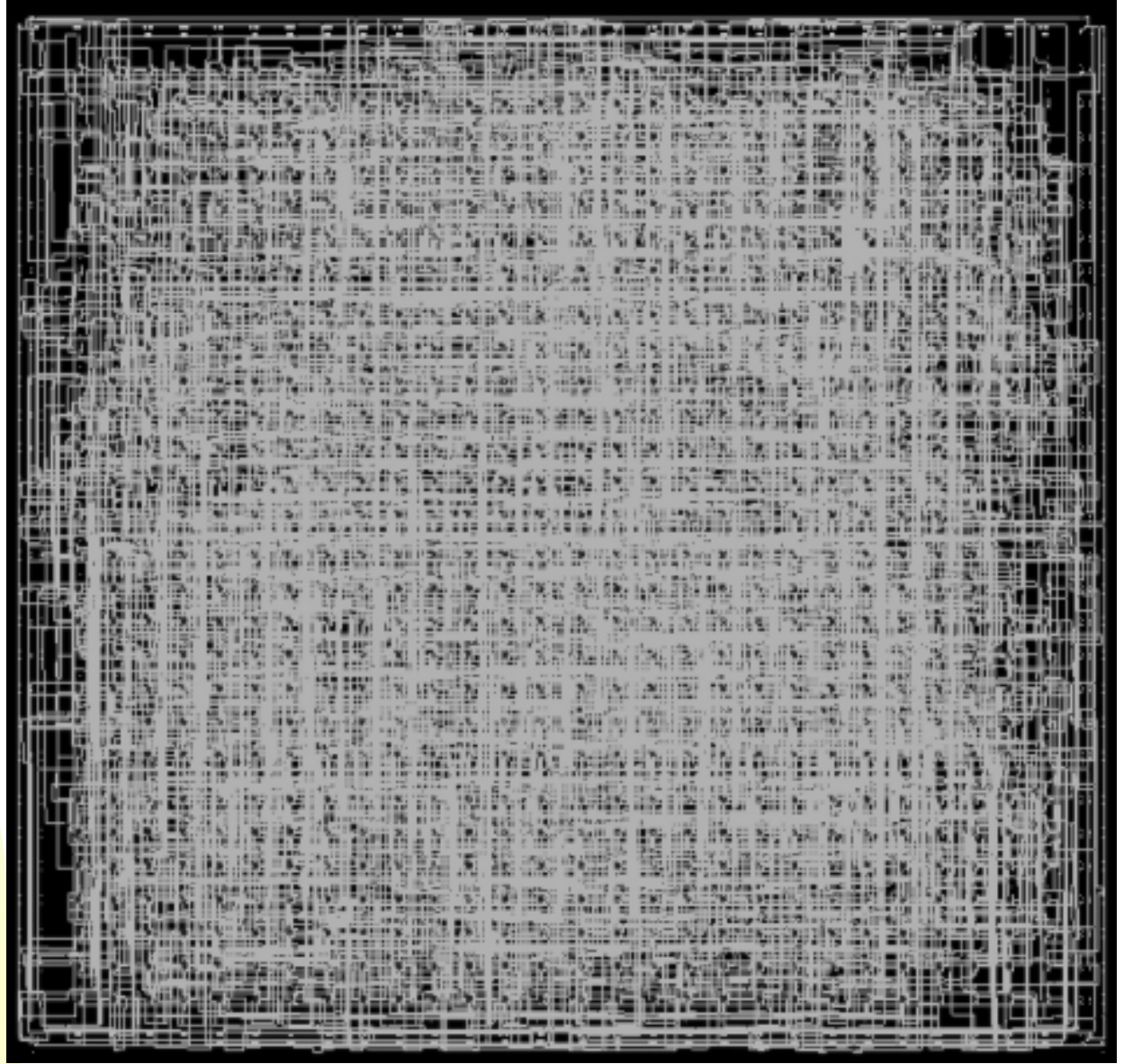
    READY: in STD_LOGIC;
    HALT: out STD_LOGIC;

    ADR: out STD_LOGIC_VECTOR (19 downto 0);
    DATA: inout STD_LOGIC_VECTOR (15 downto 0)
  );
end component_1;
```

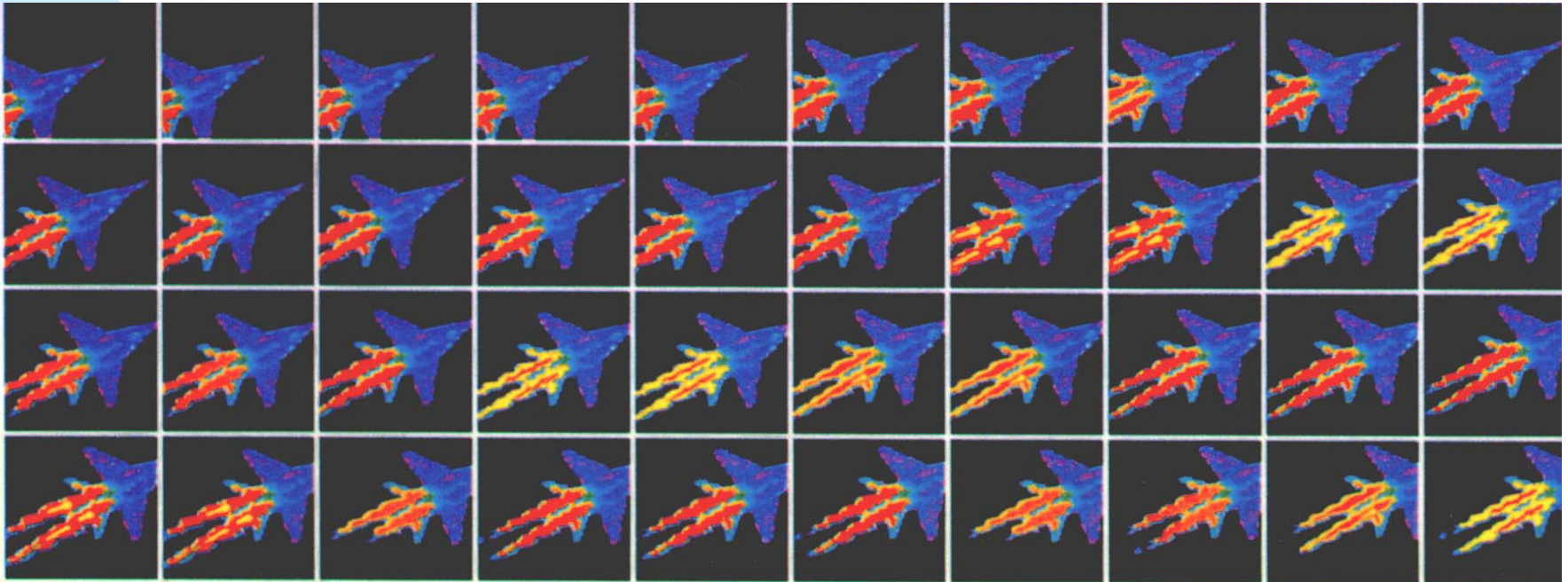


# Symulacja po implementacji w XC4020XL



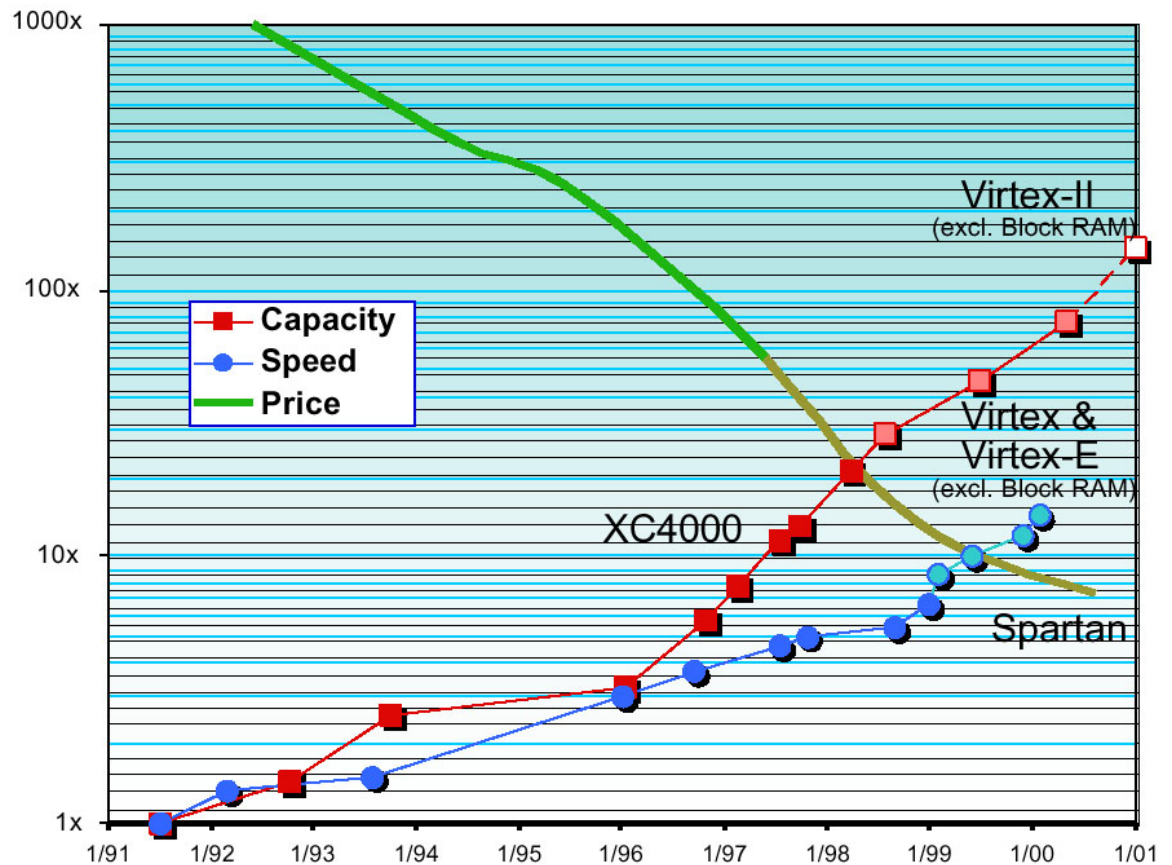


## Wymogi obliczeniowe systemów obliczeniowych nieustannie rosną

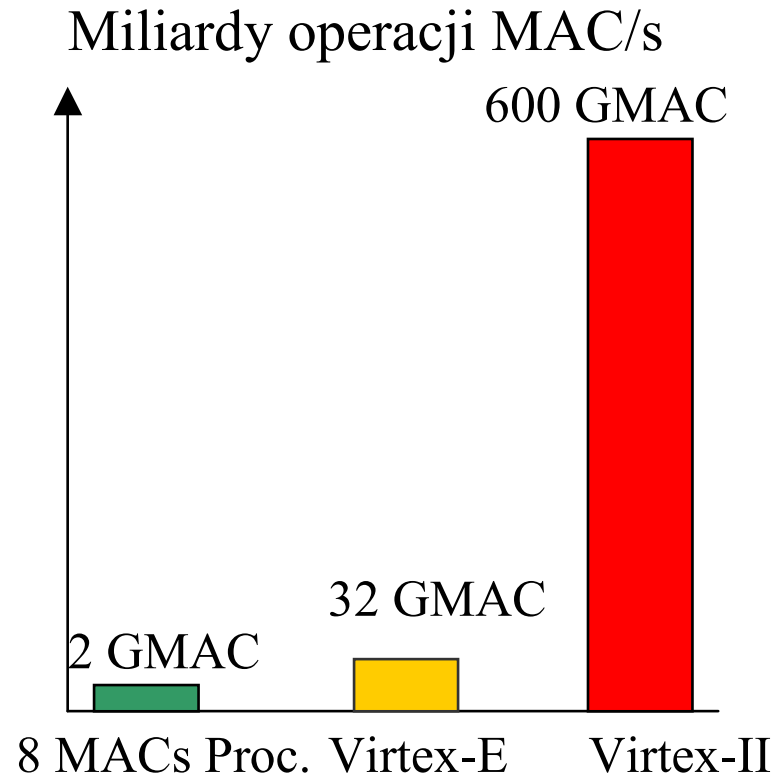


- szybkość akwizycji 1000 do 5000 obrazów na sekundę
- rozdzielczość 128x128 i 256x256
- napływ pikseli do 327,68 MHz (3,1 ns)
- standardowo 14,75 MHz (67,8 ns)

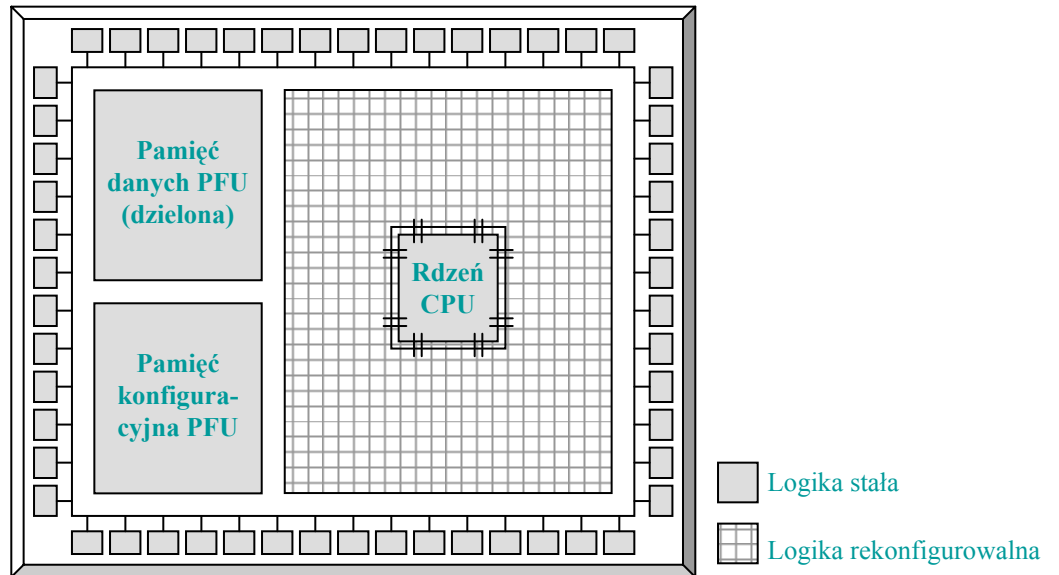
# Wzrastają bardzo szybko pojemności i szybkość układów FPGA



# Moce obliczeniowe układów FPGA wielokrotnie przekraczają moce procesorów ogólnego przeznaczenia



# Struktura układu *One Chip*





Kazimierz Wiatr • Sprzętowe implementacje algorytmów przetwarzania obrazów w systemach wizyjnych czasu rzeczywistego

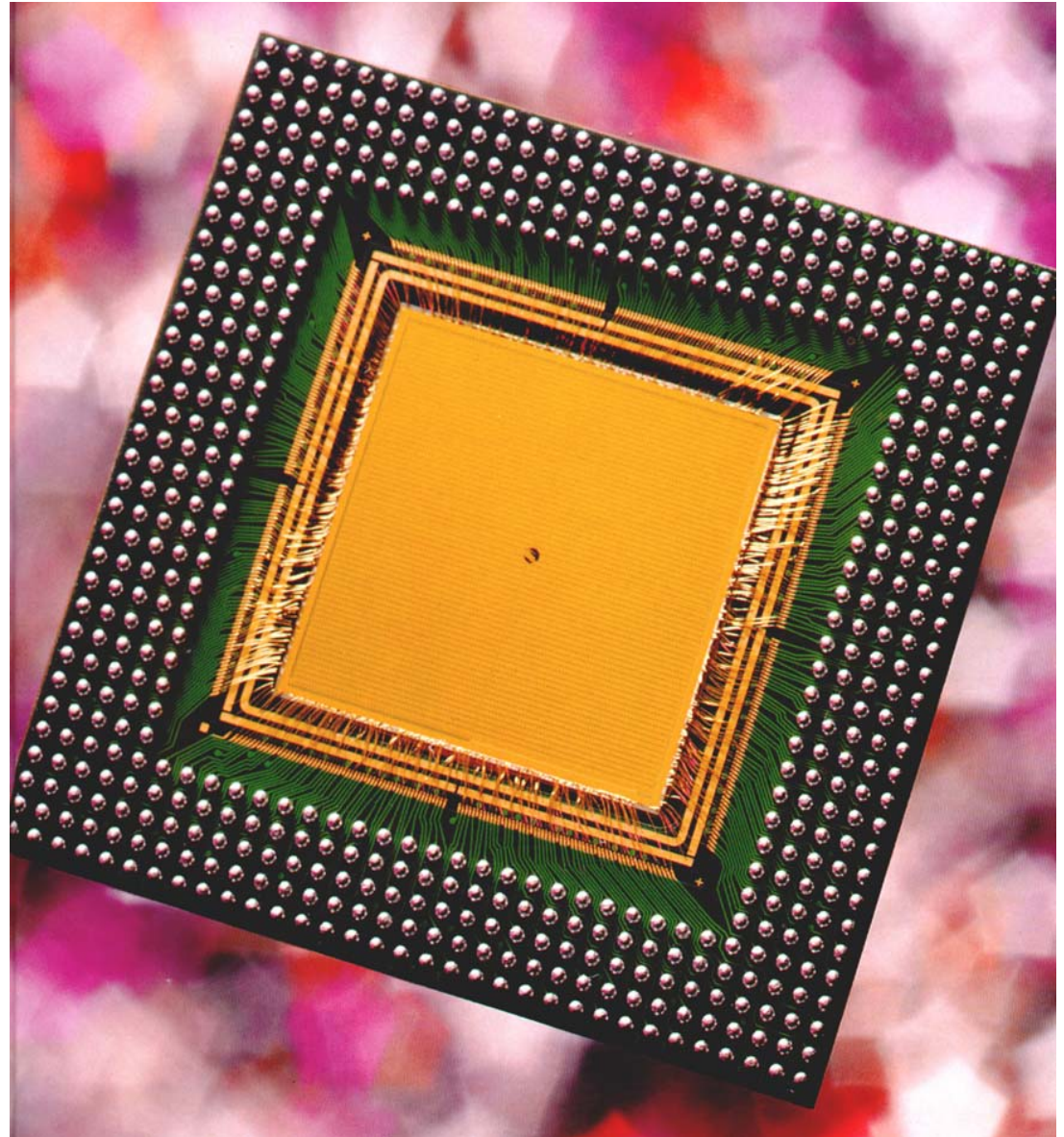
# KAZIMIERZ WIATR

## SPRZĘTOWE IMPLEMENTACJE ALGORYTMÓW PRZETWARZANIA OBRAZÓW W SYSTEMACH WIZYJNYCH CZASU RZECZYWISTEGO



UCZELNIANE WYDAWNICTWA NAUKOWO-DYDAKTYCZNE

KRAKÓW 2002



- **Dziękuję za uwagę**